

ХМЕЛЬНИЦЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ



ЗАТВЕРДЖУЮ

Декан факультету інформаційних технологій

Тетяна ГОВОРУЩЕНКО
Ім'я, ПРІЗВИЩЕ

09 2025 р.

РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Проектування вбудованих систем на ПЛІС

Назва дисципліни

Призначення Робочої програми
Рівень вищої освіти

Для освітніх програм різних спеціальностей
Перший (бакалаврський)

Мова навчання
Обсяг дисципліни, кредитів ЄКТС
Статус дисципліни
Факультет
Кафедра

Українська
8
Вибіркова
Інформаційних технологій
Автоматизації, комп'ютерно-інтегрованих
технологій та робототехніки

Форма здобуття освіти	Обсяг дисципліни		Кількість годин						Форма семестрового контролю
			Аудиторні заняття						Самостійна робота (в т.ч. ІРС)
	Кредити ЄКТС	Години	Разом	Лекції	Лабораторні роботи	Практичні заняття	Семінарські заняття	Залік	
Д	8	240	82	32	32	18		158	+

Робоча програма складена на основі освітніх програм підготовки магістра та стандарту вищої освіти спеціальності.

Робоча програма складена  д-р. техн. наук, проф. Валерій МАРТИНІЮК
Підпис Науковий ступінь, вчене звання, Ім'я, ПРІЗВИЩЕ

Схвалена на засіданні кафедри Автоматизації, комп'ютерно-інтегрованих технологій та робототехніки
Назва

Протокол від 01.09.2025 № 1.

Зав. кафедри АКІТтаР


Підпис

Людмила КОРЕЦЬКА
Ім'я, ПРІЗВИЩЕ

Хмельницький 2025

3. Пояснювальна записка

Дисципліна «Проектування вбудованих систем на ПЛІС» надає студентам фундаментальні знання та практичні навички для розробки складних цифрових пристроїв та систем на кристалі (SoC) з використанням програмованих логічних інтегральних схем (ПЛІС). Дисципліна забезпечує розвиток алгоритмічного мислення, навичок проектування апаратури та паралельної обробки даних. Дисципліна фокусується на вивченні мов опису апаратури (HDL), розумінні архітектури сучасних ПЛІС, опануванні маршруту проектування (design flow) та інтеграції програмних і апаратних компонентів у єдиній системі.

Мета дисципліни. Формування особистості фахівця, здатного аналізувати, проектувати, верифікувати та впроваджувати цифрові вбудовані системи на базі ПЛІС для вирішення складних інженерних задач.

Предмет дисципліни. Методи, моделі, мови опису апаратури (VHDL, Verilog) та засоби автоматизованого проектування (САПР) для реалізації алгоритмів та систем керування на базі архітектури ПЛІС.

Завдання дисципліни. Формування практичних навичок з опису апаратури мовами HDL, симуляції та верифікації проектів, синтезу логіки, часового аналізу та реалізації систем на кристалі (SoC) на реальних лабораторних стендах.

Результати навчання. Студент, який успішно завершив вивчення дисципліни, повинен: вміти застосовувати САПР для ПЛІС (Xilinx Vivado, Intel Quartus), розробляти та відлагоджувати цифрові пристрої, реалізовувати інтерфейси та прості процесорні ядра, розуміти принципи побудови сучасних SoC.

4. Структура залікових кредитів дисципліни

Назва розділу (теми)	Кількість годин, відведених на:			
	лекції	лабораторні заняття	практичні заняття	СРС
Тема 1. Вступ до ПЛІС та цифрового дизайну.	4	4	2	18
Тема 2. Основи мов опису апаратури (HDL): VHDL та Verilog.	4	4	2	20
Тема 3. Проектування комбінаційної логіки на HDL.	4	4	2	20
Тема 4. Проектування послідовної логіки та скінчених автоматів.	4	4	2	20
Тема 5. Архітектура сучасних ПЛІС та маршрут проектування (САПР).	4	4	2	20
Тема 6. Часовий аналіз (Timing Analysis) та обмеження проекту.	4	4	2	20
Тема 7. Проектування систем на кристалі (SoC). Soft-core процесори.	4	4	2	20
Тема 8. Інтерфейси та розробка вбудованих додатків (AXI, I2C, SPI).	4	4	4	20
Разом:	32	32	18	158

5. Програма навчальної дисципліни

5.1 Зміст лекційного курсу

Номер лекції	Перелік тем лекцій, їх анотації	Кількість годин
	<i>Тема 1. Вступ до ПЛІС та цифрового дизайну</i>	4
1	Історія розвитку програмованої логіки. Класифікація та відмінності (CPLD, ПЛІС, ASIC, мікроконтролери). Огляд базових логічних елементів. Архітектура фон Неймана та Гарвардська архітектура у контексті ПЛІС. Літ.: [1] с. 1-30, [5] с. 1-25, [6] с. 10-40.	2
2	Поняття про мови опису апаратури (HDL). Концепції симуляції та синтезу. Рівні абстракції (поведінковий, RTL, структурний). Базові поняття VHDL (entity, architecture) та Verilog (module). Літ.: [2] с. 15-40, [5] с. 27-50.	2
	<i>Тема 2. Основи мов опису апаратури (HDL): VHDL та Verilog</i>	4
3	Синтаксис VHDL. Типи даних (std_logic, integer). Сигнали, змінні, константи. Оператори. Паралельні та послідовні інструкції (process, if, case, for). Опис комбінаційних схем. Літ.: [2] с. 45-70, [5] с. 51-80.	2
4	Синтаксис Verilog. Типи даних (wire, reg). Оператори. Блоки always та assign. Поняття блокуючих та неблокуючих присвоєнь (= та <=). Опис комбінаційних схем. Порівняння VHDL та Verilog. Літ.: [4] с. 15-50, [5] с. 81-110.	2
	<i>Тема 3. Проектування комбінаційної логіки на HDL</i>	4
5	Реалізація базових логічних вентилів, мультиплексорів, дешифраторів, шифраторів. Опис арифметичних пристроїв: суматори, віднімачі, компаратори. Поняття "перегонів" (race conditions). Літ.: [1] с. 55-108, [4] с. 39-60, с. 127-150, [6] с. 41-100.	2
6	Параметризовані модулі (generic/parameter). Структурний опис: проектування ієрархічних систем через компонентну інсталяцію (component instantiation). Приклади: 4-розрядний суматор на базі 1-розрядних. Літ.: [2] с. 80-120, [4] с. 39-60, [5] с. 110-150.	2
	<i>Тема 4. Проектування послідовної логіки та скінченних автоматів</i>	4
7	Основи послідовної логіки. Тригери (D, T, JK) та регістри. Опис мовами HDL. Регістри зсуву. Лічильники (асинхронні, синхронні, реверсивні). Поняття синхронного дизайну та сигналу скидання (reset). Літ.: [1] с. 109-172, [5] с. 115-150, [6] с. 101-140.	2
8	Скінченні автомати (FSM). Моделі Мура та Мілі. Етапи проектування FSM. Кодування станів. Опис FSM мовами HDL (стиль "один процес", "два процеси"). Приклади: детектор послідовностей, керування світлофором. Літ.: [1] с. 135-160, [2] с. 150-180, [4] с. 101-126.	2
	<i>Тема 5. Архітектура сучасних ПЛІС та маршрут проектування (CAIP)</i>	4
9	Внутрішня архітектура ПЛІС (Xilinx, Intel). Конфігуровані логічні блоки (CLB): LUT (Look-Up Table), тригери. Блоки вводу-виводу (IOB). Ресурси трасування. Спеціалізовані блоки: Block RAM, DSP-блоки, PLL/MMCM. Літ.: [2] с. 15-40, [5] с. 1-25, [7] с. 1-20.	2
10	Маршрут проектування (Design Flow) у CAIP (Vivado/Quartus). Етапи: синтез (Synthesis), трансляція (Translate), відображення (Map), розміщення та трасування (Place & Route, P&R). Генерація файлу прошивки (bitstream). Літ.: [2] с. 41-60, [7] с. 20-50, [10] с. 1-20 - 1-50.	2
	<i>Тема 6. Часовий аналіз (Timing Analysis) та обмеження проекту</i>	4
11	Поняття часового аналізу. Затримки розповсюдження (propagation delay). Часові параметри: setup time, hold time. Поняття "clock skew". Максимальна тактова частота (Fmax). Літ.: [1] с. 173-200, [9] с. 15-40, [12] с. 1-1 - 1-20.	2
12	Обмеження проекту (Design Constraints). Файли обмежень (XDC, SDC). Опис тактових сигналів (create_clock). Обмеження I/O. Статичний часовий аналіз (STA): аналіз звітів, пошук "critical path". Літ.: [9] с. 41-80, [12] с. 2-1 - 2-30.	2
	<i>Тема 7. Проектування систем на кристалі (SoC). Soft-core процесори</i>	4
13	Концепція "Система на кристалі" (SoC). Hard-core (ARM і Zynq) та Soft-core (MicroBlaze, Nios II) процесори. Переваги та недоліки. Архітектура MicroBlaze/Nios II: ядро, пам'ять, периферія. Літ.: [3] с. 1-25, [8] с. 10-50, [11] с. 2-1 - 2-25.	2
14	Інтерфейсні шини: AXI, Wishbone, Avalon. Принципи роботи AXI (Lite, Stream, Full). Створення простої SoC з використанням IP-ядер (IP Integrator / Qsys). Літ.: [3] с. 27-60, [8] с. 51-100, [11] с. 3-1 - 3-30.	2
	<i>Тема 8. Інтерфейси та розробка вбудованих додатків (AXI, I2C, SPI)</i>	4
15	Проектування апаратних модулів для поширених інтерфейсів: UART, SPI, I2C. Реалізація контролерів пам'яті (SRAM, SDRAM). Літ.: [1] с. 451-512, [4] с. 151-200, [5] с. 200-250.	2
16	Розробка програмного забезпечення для SoC. Експорт апаратної платформи у Vitis. Написання програм мовою C для soft-core процесора. Взаємодія ПЗ з апаратними IP-ядрами (керування GPIO, обмін даними). Літ.: [3] с. 61-100, [8] с. 101-150.	2
	Разом:	32

5.2 Зміст лабораторних занять

№ п/п	Тема лабораторного заняття	Кількість годин
	<i>Тема 1. Вступ до ПЛІС та цифрового дизайну</i>	4
1	Ознайомлення з класифікацією ПЛІС та архітектурою лабораторного стенду. Огляд середовища проектування (Xilinx Vivado / Intel Quartus). Створення проекту та симуляція базового логічного вентиля. Літ.: [1] с. 1-30, [2] с. 15-40, [5] с. 1-50, [7] с. 1-20.	4
	<i>Тема 2. Основи мов опису апаратури (HDL): VHDL та Verilog</i>	4
2	Написання та симуляція базових модулів на VHDL або Verilog. Опис логічних вентилів (AND, OR, NOT, XOR) та мультиплексора 4-в-1. Робота з симулятором та аналіз часових діаграм. Літ.: [2] с. 45-70, [4] с. 15-50, [5] с. 51-110.	4
	<i>Тема 3. Проектування комбінаційної логіки на HDL</i>	4
3	Розробка та симуляція 4-розрядного суматора. Реалізація дешифратора для 7-сегментного індикатора. Синтез, розміщення та трасування проекту. Завантаження прошивки на лабораторний стенд. Літ.: [1] с. 55-108, [4] с. 127-150, [6] с. 41-100.	4
	<i>Тема 4. Проектування послідовної логіки та скінченних автоматів</i>	4
4	Реалізація 8-розрядного лічильника та дільника частоти. Проектування, симуляція та реалізація на ПЛІС скінченного автомату (напр., керування світлофором). Літ.: [1] с. 109-172, [2] с. 150-180, [4] с. 101-126, [5] с. 115-150.	4
	<i>Тема 5. Архітектура сучасних ПЛІС та маршрут проектування (САПР)</i>	4
5	Аналіз звітів САПР про використання ресурсів (CLB, BRAM, DSP) після синтезу та P&R. Створення та симуляція модуля пам'яті з використанням вбудованих блоків Block RAM. Літ.: [2] с. 15-60, [5] с. 1-25, [7] с. 20-50, [10] с. 1-20 - 1-50.	4
	<i>Тема 6. Часовий аналіз (Timing Analysis) та обмеження проекту</i>	4
6	Робота з файлами обмежень (XDC/SDC). Призначення фізичних виводів ПЛІС (кнопки, світлодіоди). Аналіз звітів статичного часового аналізу (STA). Пошук "critical path". Літ.: [1] с. 173-200, [9] с. 15-80, [12] с. 1-1 - 2-30.	4
	<i>Тема 7. Проектування систем на кристалі (SoC). Soft-core процесори</i>	4
7	Створення базової системи на кристалі (SoC) в Vivado IP Integrator (або Platform Designer). Додавання soft-core процесора (MicroBlaze/Nios II), блоків пам'яті та периферії (GPIO). Літ.: [3] с. 1-60, [8] с. 10-100, [11] с. 2-1 - 3-30.	4
	<i>Тема 8. Інтерфейси та розробка вбудованих додатків (AXI, I2C, SPI)</i>	4
8	Експорт апаратної платформи SoC у Vitis. Розробка "Hello World" на C для soft-core процесора (виведення в UART). Написання програми для керування світлодіодами через GPIO та зчитування стану кнопок. Літ.: [3] с. 61-100, [8] с. 101-150.	4
	Разом:	32

5.3 Зміст практичних занять

№ п/п	Тема практичного заняття	Кількість годин
	<i>Тема 1. Вступ до ПЛІС та цифрового дизайну</i>	2
1	Аналіз ринку та специфікацій сучасних ПЛІС (AMD/Xilinx, Intel, Lattice). Задачі на булеву алгебру та синтез простих комбінаційних схем. Літ.: [1] с. 55-108, [6] с. 41-100.	2
	<i>Тема 2. Основи мов опису апаратури (HDL): VHDL та Verilog</i>	2
2	Розбір типових помилок синтаксису HDL. Аналіз коду: симуляція та синтез (поведінка wait, #delay). Порівняння стилів VHDL та Verilog для опису простих схем. Літ.: [2] с. 45-70, [4] с. 15-50, [5] с. 51-110.	2
	<i>Тема 3. Проектування комбінаційної логіки на HDL</i>	2
3	Розв'язування задач на проектування комбінаційних пристроїв (пріоритетні шифратори, компаратори, арифметичні схеми). Аналіз звітів синтезу (RTL viewer). Літ.: [1] с. 55-108, [4] с. 127-150, [6] с. 41-100.	2
	<i>Тема 4. Проектування послідовної логіки та скінченних автоматів</i>	2
4	Розбір прикладів проектування FSM. Аналіз діаграм станів. Проблеми синхронізації та "metastability". Літ.: [1] с. 135-160, [2] с. 150-180, [4] с. 101-126.	2
	<i>Тема 5. Архітектура сучасних ПЛІС та маршрут проектування (САПР)</i>	2
5	Аналіз технічної документації (datasheets) на ПЛІС та лабораторні стенди. Вивчення інструментів відлагодження (Vivado Logic Analyzer / Intel Signal Tap). Літ.: [2] с. 15-60, [7], [10].	2
	<i>Тема 6. Часовий аналіз (Timing Analysis) та обмеження проекту</i>	2
6	Розв'язування задач на розрахунок Fmax. Аналіз часових звітів (STA). Оптимізація коду HDL для покращення часових характеристик. Літ.: [1] с. 173-200, [9] с. 41-80, [12] с. 2-1 - 2-30.	2
	<i>Тема 7. Проектування систем на кристалі (SoC). Soft-core процесори</i>	2

7	Створення власних IP-ядер (custom IP) з інтерфейсом AXI Lite. Аналіз підключення IP-ядра до soft-core процесора. Літ.: [3] с. 27-60, [8] с. 51-100, [11] с. 3-1 - 3-30.	2
	<i>Тема 8. Інтерфейси та розробка вбудованих додатків (AXI, I2C, SPI)</i>	4
8	Аналіз протоколів SPI/I2C/UART. Розробка та відлагодження програмно-апаратної системи. Обговорення взаємодії ПЗ та апаратних IP-ядер. Літ.: [1] с. 451-512, [3] с. 61-100, [8] с. 101-150.	4
	Разом:	18

5.4 Зміст самостійної (у т.ч. індивідуальної) роботи здобувача вищої освіти

Самостійна робота студентів усіх форм здобуття освіти полягає у систематичному опрацюванні програмного матеріалу з відповідних джерел інформації, підготовці до лабораторних та практичних занять і тестування. Крім цього до послуг студентів сторінка навчальної дисципліни у Модульному середовищі для навчання, де розміщені Робоча програма дисципліни та необхідні документи з її навчально-методичного забезпечення.

Номер тижня	Вид самостійної роботи	Кількість годин
1	Опрацювання теоретичного матеріалу з Т1, підготовка до лабораторної роботи №1, підготовка до практичного заняття №1.	8
2	Опрацювання теоретичного матеріалу з Т1, підготовка до захисту лабораторної роботи №1, підготовка до лабораторної роботи №2.	10
3	Опрацювання теоретичного матеріалу з Т2, підготовка до лабораторної роботи №2, підготовка до практичного заняття №2.	10
4	Опрацювання теоретичного матеріалу з Т2, підготовка до захисту лабораторної роботи №2, підготовка до лабораторної роботи №3.	10
5	Опрацювання теоретичного матеріалу з Т3, підготовка до лабораторної роботи №3, підготовка до практичного заняття №3.	10
6	Опрацювання теоретичного матеріалу з Т3, підготовка до захисту лабораторної роботи №3, підготовка до лабораторної роботи №4.	10
7	Опрацювання теоретичного матеріалу з Т4, підготовка до лабораторної роботи №4, підготовка до практичного заняття №4.	10
8	Опрацювання теоретичного матеріалу з Т4, підготовка до захисту лабораторної роботи №4, підготовка до лабораторної роботи №5.	10
9	Опрацювання теоретичного матеріалу з Т5, підготовка до лабораторної роботи №5, підготовка до практичного заняття №5.	10
10	Опрацювання теоретичного матеріалу з Т5, підготовка до захисту лабораторної роботи №5, підготовка до лабораторної роботи №6.	10
11	Опрацювання теоретичного матеріалу з Т6, підготовка до лабораторної роботи №6, підготовка до практичного заняття №6.	10
12	Опрацювання теоретичного матеріалу з Т6, підготовка до захисту лабораторної роботи №6, підготовка до лабораторної роботи №7.	10
13	Опрацювання теоретичного матеріалу з Т7, підготовка до лабораторної роботи №7, підготовка до практичного заняття №7.	10
14	Опрацювання теоретичного матеріалу з Т7, підготовка до захисту лабораторної роботи №7, підготовка до лабораторної роботи №8.	10
15	Опрацювання теоретичного матеріалу з Т8, підготовка до лабораторної роботи №8, підготовка до практичного заняття №8. Підготовка до тестового контролю	10
16	Опрацювання теоретичного матеріалу з Т8, підготовка до захисту лабораторної роботи №8.	10
	Разом:	158

Примітка: Т – тема навчальної дисципліни.

Керівництво самостійною здійснюється викладачем згідно з розкладом консультацій у позаурочний час.

6 Технології та методи навчання

Процес навчання з дисципліни ґрунтується на використанні традиційних та сучасних технологій та методів навчання, зокрема: лекції (з використанням методів візуалізації, проблемного й інтерактивного навчання, мотиваційних прийомів, інформаційно-комунікаційних технологій); лабораторні заняття (з використанням методів комп'ютерного моделювання, методів проектної діяльності, тренінгових вправ, аналіз проблемних ситуацій, пояснення, дискусія), самостійна робота (робота над засвоєнням теоретичного матеріалу, підготовка до поточного та підсумкового контролю тощо).

7 Методи контролю

Поточний контроль здійснюється під час аудиторних лабораторних занять, а також у дні проведення контрольних заходів, встановлених робочою програмою і графіком освітнього процесу, в т.ч. з використанням Модульного середовища для навчання. При цьому використовуються такі методи поточного контролю:

- усне опитування перед допуском до лабораторного заняття;

- оцінювання результатів захисту лабораторних робіт;
- тестовий контроль.

Підсумкова семестрова оцінка виставляється за результатами поточного контролю. Здобувач вищої освіти, який набрав з будь-якого виду навчальної роботи, суму балів нижчу за 60 відсотків від максимального балу, вважається таким, який має академічну заборгованість. Ліквідація академічної заборгованості із семестрового контролю здійснюється у період екзаменаційної сесії або за графіком, встановленим деканатом відповідно до «Положення про контроль і оцінювання результатів навчання здобувачів вищої освіти у ХНУ».

8 Політика дисципліни

Політика навчальної дисципліни загалом визначається системою вимог до здобувача вищої освіти, що передбачені чинними положеннями Університету про організацію і навчально-методичне забезпечення освітнього процесу. Зокрема, проходження інструктажу з техніки безпеки; відвідування занять з дисципліни є обов'язковим. За об'єктивних причин (підтверджених документально) теоретичне навчання за погодженням із лектором може відбуватись в он-лайн режимі. Успішне опанування дисципліни і формування фахових компетентностей і програмних результатів навчання передбачає необхідність підготовки до практичних занять, вивчення теоретичного матеріалу з теми роботи, попередню підготовку протоколу роботи, підготовку до усного опитування для допуску до заняття, активно працювати на занятті, якісно підготувати звіт, захистити результати виконаної роботи, брати участь у дискусіях щодо прийнятих конструктивних рішень при виконанні здобувачами лабораторних робіт тощо.

Здобувачі вищої освіти зобов'язані дотримуватися термінів виконання усіх видів робіт, передбачених робочою програмою навчальної дисципліни. Пропущене лабораторне заняття здобувач зобов'язаний відпрацювати у встановлений викладачем термін, але не пізніше, ніж за два тижні до кінця теоретичних занять у семестрі. Виконання індивідуального завдання завершується доповіддю та презентацією його результатів у терміни, встановлені графіком самостійної роботи.

Здобувач вищої освіти, виконуючи самостійну роботу з дисципліни, має дотримуватися політики доброчесності (заборонені списування, підказки, плагіат, використання штучного інтелекту (без вірного цитування)). У разі порушення політики академічної доброчесності в будь-яких видах навчальної роботи здобувач вищої освіти отримує незадовільну оцінку і має повторно виконати завдання з відповідної теми (виду роботи), що передбачені робочою програмою. Будь-які форми порушення академічної доброчесності під час вивчення навчальної дисципліни не допускаються та не толеруються.

У межах вивчення навчальної дисципліни здобувачам вищої освіти передбачено визнання і зарахування результатів навчання, набутих шляхом неформальної освіти, які сприяють формуванню компетентностей і поглибленню результатів навчання, визначених робочою програмою дисципліни, або забезпечують вивчення відповідної теми та/або виду робіт з програми навчальної дисципліни (детальніше у Положенні про порядок визнання та зарахування результатів навчання здобувачів вищої освіти у ХНУ).

9. Оцінювання результатів навчання студентів у семестрі

Оцінювання академічних досягнень здобувача вищої освіти здійснюється відповідно до «Положення про контроль і оцінювання результатів навчання здобувачів вищої освіти у ХНУ». При поточному оцінюванні виконаної здобувачем роботи з кожної структурної одиниці і отриманих ним результатів викладач виставляє йому певну кількість балів із встановлених Робочою програмою для цього виду роботи. При цьому кожна структурна одиниця навчальної роботи може бути зарахована, якщо здобувач набрав не менше 60 відсотків (мінімальний рівень для позитивної оцінки) від максимально можливої суми балів, призначеної структурній одиниці.

При оцінюванні результатів навчання здобувачів вищої освіти з будь-якого виду навчальної роботи (структурної одиниці) рекомендується використовувати наведені нижче узагальнені критерії:

Таблиця – Критерії оцінювання навчальних досягнень здобувача вищої освіти

Оцінка та рівень досягнення здобувачем запланованих ПРН та сформованих компетентностей	Узагальнений зміст критерія оцінювання
Відмінно (високий)	Здобувач вищої освіти глибоко і у повному обсязі опанував зміст навчального матеріалу, легко в ньому орієнтується і вміло використовує понятійний апарат; уміє пов'язувати теорію з практикою, вирішувати практичні завдання, впевнено висловлювати і обґрунтовувати свої судження. Відмінна оцінка передбачає логічний виклад відповіді мовою викладання (в усній або у письмовій формі), демонструє якісне оформлення роботи і володіння спеціальними приладами та інструментами, прикладними програмами. Здобувач не вагається при видозміні запитання, вміє робити детальні та узагальнюючі висновки, демонструє практичні навички з вирішення фахових завдань. При відповіді допустив дві–три несуттєві <i>похибки</i> .
Добре (середній)	Здобувач вищої освіти виявив повне засвоєння навчального матеріалу, володіє понятійним апаратом, орієнтується у вивченому матеріалі; свідомо використовує теоретичні знання для вирішення практичних задач; виклад відповіді грамотний, але у змісті і формі відповіді можуть мати місце окремі неточності, нечіткі формулювання правил, закономірностей тощо. Відповідь здобувача вищої освіти будується на основі самостійного мислення.

	Здобувач вищої освіти у відповіді допустив дві–три <i>несуттєві помилки</i> .
Задовільно (достатній)	Здобувач вищої освіти виявив знання основного програмного матеріалу в обсязі, необхідному для подальшого навчання та практичної діяльності за професією, справляється з виконанням практичних завдань, передбачених програмою. Як правило, відповідь здобувача вищої освіти будується на рівні репродуктивного мислення, здобувач вищої освіти має слабкі знання структури навчальної дисципліни, допускає неточності і <i>суттєві помилки</i> у відповіді, вагається при відповіді на видозмінене запитання. Разом з тим, набув навичок, необхідних для виконання нескладних практичних завдань, які відповідають мінімальним критеріям оцінювання і володіє знаннями, що дозволяють йому під керівництвом викладача усунути неточності у відповіді.
Незадовільно (недостатній)	Здобувач вищої освіти виявив розрізнені, безсистемні знання, не вміє виділяти головне і другорядне, допускається помилок у визначенні понять, перекручує їх зміст, хаотично і невпевнено викладає матеріал, не може використовувати знання при вирішенні практичних завдань. Як правило, оцінка «незадовільно» виставляється здобувачеві вищої освіти, який не може продовжити навчання без додаткової роботи з вивчення навчальної дисципліни.

Структурування дисципліни за видами навчальної роботи і оцінювання результатів навчання студентів *денної* форми здобуття освіти у семестрі

Аудиторна робота																Контрольні заходи	Семестровий контроль
Лабораторні роботи №:								Практичні заняття (контрольні точки)								Тестовий контроль:	Залік
1	2	3	4	5	6	7	8	1	2	3	4	5	6	7	8	Т 1-8	
Кількість балів за вид навчальної роботи (мінімум-максимум)																	
3-5	3-5	3-5	3-5	3-5	3-5	3-5	3-5	3-5	3-5	3-5	3-5	3-5	3-5	3-5	3-5	12-20	За рейтингом
24-40								24-40								12-20	60-100*

Примітки: *За набрану з будь-якого виду навчальної роботи з дисципліни кількість балів, нижче встановленого мінімуму, здобувач отримує незадовільну оцінку і має її перездати у встановлений викладачем (деканом) термін. Інституційна оцінка встановлюється відповідно до таблиці «Співвідношення інституційної шкали оцінювання і шкали оцінювання ЄКТС».

Оцінювання на практичних заняттях

Оцінка, яка виставляється за практичне заняття, складається з таких елементів: усне опитування студентів на знання теоретичного матеріалу з теми; вільне володіння студентом фаховою термінологією і уміння професійно обґрунтувати прийняті рішення при розв'язуванні задач; результати самостійних робіт.

При оцінюванні практичного заняття викладач керується узагальненими критеріями, наведеними у таблиці «Критерії оцінювання навчальних досягнень здобувача вищої освіти» (мінімальний позитивний бал – 3 бали, максимальний – 5 балів).

Оцінювання результатів захисту лабораторної роботи

Виконана й оформлена відповідно до встановлених Методичними рекомендаціями вимог лабораторна робота комплексно оцінюється викладачем при її захисті з урахуванням таких критеріїв: самостійність та правильність виконання; повнота відповіді та знання методики виконання дослідів; наявність схем, графіків та програмного коду згідно з вимогами до виконання завдань.

Результат виконання і захисту здобувачем вищої освіти кожної лабораторної роботи оцінюється відповідно до таблиці Критеріїв оцінювання навчальних досягнень здобувача вищої освіти.

У випадку виявлення здобувачем рівня знань, нижчого ніж 60 відсотків від максимального балу, встановленого Робочою програмою для кожної структурної одиниці, лабораторна робота йому *не зараховується* і для її захисту він має детальніше опрацювати матеріал з теми роботи, методику її виконання, виправити грубі помилки та повторно вийти на її захист у призначений для цього викладачем час.

Оцінювання результатів тестового контролю

Кожний з тестів, передбачених Робочою програмою, складається із 10 тестових завдань, кожне з яких є рівнозначним.

Відповідно до таблиці структурування видів робіт за тестовий контроль здобувач залежно від кількості правильних відповідей може отримати від 12 до 20 балів.

Розподіл балів в залежності від наданих правильних відповідей на тестові завдання

Кількість правильних відповідей	0-5	6	7	8	9	10
Відсоток правильних відповідей	0-59	60	70	80	90	100
Кількість отриманих балів	0	12	14	16	18	20

На тестування відводиться 40 хвилин. Студент проходить тестування в он-лайн режимі у Модульному середовищі для навчання. Також, студент може проходити тестування письмово, записуючи правильні відповіді у талоні відповідей. При отриманні негативної оцінки тест слід перездати до терміну *наступного* контролю.

Підсумкова семестрова оцінка за інституційною шкалою і шкалою ЄКТС визначається в автоматизованому режимі після внесення викладачем результатів оцінювання у балах з усіх видів навчальної роботи до електронного журналу. Співвідношення інституційної шкали оцінювання і шкали оцінювання ЄКТС наведені нижче у таблиці «Співвідношення».

Семестровий залік виставляється на останньому занятті за умови якщо загальна сума балів, яку накопичив здобувач з дисципліни (іншого освітнього компонента) за результатами *поточного* контролю, знаходиться у межах від 60 до 100 балів. При цьому за інституційною шкалою ставиться оцінка *«зараховано»*, а за шкалою ЄКТС – буквене позначення оцінки, що відповідає набраній студентом сумі балів відповідно до таблиці Співвідношення. Присутність здобувача у цьому випадку не є обов'язковою.

Таблиця – Співвідношення інституційної шкали оцінювання і шкали оцінювання ЄКТС

Оцінка ЄКТС	Рейтингова шкала балів	Інституційна оцінка (рівень досягнення здобувачем вищої освіти запланованих результатів навчання з навчальної дисципліни)	
		Залік	Іспит/диференційований залік
A	90-100	Зараховано	<i>Відмінно/Excellent</i> – високий рівень досягнення запланованих результатів навчання з навчальної дисципліни, що свідчить про безумовну готовність здобувача до подальшого навчання та/або професійної діяльності за фахом
B	83-89		<i>Добре/Good</i> – середній (максимально достатній) рівень досягнення запланованих результатів навчання з навчальної дисципліни та готовності до подальшого навчання та/або професійної діяльності за фахом
C	73-82		<i>Задовільно/Satisfactory</i> – Наявні мінімально достатні для подальшого навчання та/або професійної діяльності за фахом результати навчання з навчальної дисципліни
D	66-72		
E	60-65		
FX	40-59	Незараховано	<i>Незадовільно/Fail</i> – Низка запланованих результатів навчання з навчальної дисципліни відсутня. Рівень набутих результатів навчання є недостатнім для подальшого навчання та/або професійної діяльності за фахом
F	0-39		<i>Незадовільно/Fail</i> – Результати навчання відсутні

10. Питання для самоконтролю результатів навчання

1. Визначення понять "ПЛІС", "CPLD", "ASIC". Їхні переваги та недоліки.
2. Базові логічні елементи (вентиль, тригер) та їх реалізація в ПЛІС.
3. Поняття про мови опису апаратури (HDL). Їх відмінність від мов програмування (C, Python).
4. Концепції "симуляція" та "синтез". Які конструкції HDL не синтезуються?
5. Рівні абстракції HDL (поведінковий, RTL, структурний).
6. Основні елементи VHDL: `entity`, `architecture`, `process`.
7. Основні елементи Verilog: `module`, `always`, `assign`.
8. Типи даних у VHDL (std_logic) та Verilog (wire, reg).
9. Поняття "сигнал" (signal) та "змінна" (variable) у VHDL.
10. Блокуючі (=`) та неблокуючі (<=) присвоєння у Verilog. Їх призначення.
11. Принципи опису комбінаційної логіки в VHDL (process) та Verilog (always@*).
12. Опис мультиплексора та дешифратора мовами HDL.
13. Опис арифметичних пристроїв (суматор, компаратор) мовами HDL.
14. Поняття "перегонів" (race conditions) у комбінаційних схемах.
15. Структурний опис. Призначення параметризованих модулів (generic/parameter).
16. Принципи опису D-тригера та регістрів мовами HDL.
17. Синхронний дизайн. Призначення сигналу скидання (reset) та його типи.
18. Опис лічильників та регістрів зсуву.
19. Скінченні автомати (FSM): моделі Мура та Мілі. Їх відмінності.
20. Стил опису FSM мовами HDL ("один процес", "два процеси").
21. Внутрішня архітектура ПЛІС. Призначення CLB (Configurable Logic Block).
22. Структура та призначення LUT (Look-Up Table).
23. Спеціалізовані блоки в ПЛІС (Block RAM, DSP-блоки, PLL/MMCM).
24. Призначення блоків вводу-виводу (IOB).
25. Етапи маршруту проектування САПР (Synthesis, Place & Route).
26. Призначення файлу прошивки (bitstream).
27. Поняття статичного часового аналізу (STA).
28. Часові параметри: `setup time` та `hold time`. Їх вплив на проектування.
29. Поняття "critical path" (критичний шлях) та максимальна тактова частота (Fmax).
30. Поняття "clock skew" (перекіс тактового сигналу).

31. Призначення файлів обмежень (XDC, SDC).
32. Типи обмежень: опис тактового сигналу (create_clock), призначення виводів (pin constraints).
33. Концепція "Система на кристалі" (SoC).
34. Відмінності "Hard-core" (напр., ARM у Zynq) та "Soft-core" (MicroBlaze, Nios II) процесорів.
35. Архітектура soft-core процесора (ядро, шини, периферія).
36. Призначення та типи інтерфейсної шини AXI (Lite, Stream, Full).
37. Інструменти для побудови SoC (IP Integrator, Platform Designer).
38. Принципи роботи послідовних інтерфейсів UART, SPI, I2C.
39. Проектування апаратного модуля UART мовою HDL.
40. Проектування апаратного модуля SPI (Master/Slave) мовою HDL.
41. Поняття "IP-ядро" (Intellectual Property core).
42. Процес розробки програмного забезпечення для SoC (Vitis/SDK).
43. Взаємодія програмного (C-код) та апаратного (IP-ядро) забезпечення в SoC.
44. Що таке "clock domain crossing" (CDC) і чому це важливо?
45. Поясніть призначення драйверів та регістрів у периферійних модулях SoC.
46. Поясніть компроміс "швидкодія-площа" (Speed vs. Area) при проектуванні на ПЛІС.
47. Яке призначення вбудованих логічних аналізаторів (напр., Vivado Logic Analyzer, Intel SignalTap)?
48. Які переваги та недоліки надає Високорівневий Синтез (HLS) порівняно з RTL проектуванням?

11. Навчально-методичне забезпечення

Освітній процес з дисципліни «Проектування вбудованих систем на ПЛІС» повністю і в достатній кількості забезпечений необхідною навчально-методичною літературою.

12. Матеріально-технічне та програмне забезпечення дисципліни (за потреби)

Інформаційна та комп'ютерна підтримка: ПК, планшет, смартфон або інший мобільний пристрій, проектор, лабораторні стенди на базі ПЛІС (Xilinx Basys 3, Arty, Terasic DE10-Lite).

Програмне забезпечення: Середовища проектування ПЛІС (Xilinx Vivado, Intel Quartus Prime), симулятори HDL (ModelSim/QuestaSim або вбудовані в САПР), середовища розробки вбудованого ПЗ (AMD Vitis, Intel SoC EDS), офісні програми, веб-браузер, доступ до мережі Інтернет.

13. Рекомендована література:

Основна

1. Harris S., Harris D. Digital Design and Computer Architecture, RISC-V Edition. Morgan Kaufmann, 2021. 768 p.
2. Eschermann F. B. G. The FPGA Programming Handbook (2nd Edition). Packt Publishing, 2024. 550 p.
3. Snider R. K. Advanced Digital System Design using SoC FPGAs. Springer, 2023.
- 4 Roy S. Advanced Digital System Design: A Practical Guide to Verilog Based FPGA and ASIC Implementation. Springer, 2023.
5. Merrick R. Getting Started with FPGAs: Digital Circuit Design, Verilog, and VHDL for Beginners. No Starch Press, 2023.
6. Кравченко Ю. В. Архітектура комп'ютера. Частина 1: Арифметико-логічні та схемотехнічні основи. Київ: КНУ імені Тараса Шевченка, 2023. 145 с.

Додаткова

7. AMD/Xilinx Vivado Design Suite User Guide: Getting Started (UG910). AMD, 2024.
8. AMD/Xilinx Vivado Design Suite User Guide: Embedded Processor Hardware Design (UG898). AMD, 2024.
9. AMD/Xilinx Vivado Design Suite User Guide: Design Analysis and Closure Techniques (UG906). AMD, 2024.
10. Intel Quartus Prime Pro Edition User Guide: Getting Started. Intel Corporation, 2024.
11. Intel Quartus Prime Pro Edition User Guide: Platform Designer. Intel Corporation, 2024.
12. Intel Quartus Prime Pro Edition User Guide: Timing Analyzer. Intel Corporation, 2024.

14. Інформаційні ресурси

1. Модульне середовище для навчання. URL: <https://msn.khmnu.edu.ua/course/view.php?id=8917>
2. Електронна бібліотека ХНУ. URL: <http://library.khmnu.edu.ua/>
3. Інституційний репозитарій ХНУ. URL : <https://elar.khmnu.edu.ua/home>

ПРОЕКТУВАННЯ ВБУДОВАНИХ СИСТЕМ НА ПЛІС

Тип дисципліни	Вибіркова
Рівень вищої освіти	Перший (бакалаврський)
Мова викладання	Українська
Семестр	—
Кількість призначених кредитів ЄКТС	8,0
Форми здобуття освіти, для яких викладається дисципліна	Очна (денна)

Результати навчання. Після вивчення дисципліни студент повинен: *застосовувати* спеціалізовані концептуальні знання, що включають сучасні наукові здобутки, а також критичне *осмислення* проблем у сфері проектування вбудованих систем на ПЛІС для розв’язування складних задач професійної діяльності з автоматизації та вбудованих систем; *розробляти* описи апаратури на мовах HDL (VHDL/Verilog) та алгоритми для вбудованих систем (на С); *аналізувати* принципи взаємодії апаратного та програмного забезпечення в SoC (системи на кристалі, часовий аналіз); *застосовувати* сучасні підходи і методи аналізу, синтезу та верифікації цифрових пристроїв та систем на кристалі, призначених для використання у сучасних системах обробки даних, керування та комп’ютерно-інтегрованих технологіях.

Зміст навчальної дисципліни. Класифікація програмованої логіки (ПЛІС, CPLD, ASIC). Мови опису апаратури (VHDL, Verilog). Проектування комбінаційної та послідовної логіки (FSM). Архітектура сучасних ПЛІС (LUT, CLB, BRAM). Маршрут проектування САПР (синтез, P&R). Статичний часовий аналіз. Архітектура Систем на кристалі (SoC). Soft-core процесори, шина AXI. Розробка вбудованого ПЗ та апаратних інтерфейсів (UART, SPI, I2C).

Запланована навчальна діяльність: Мінімальний обсяг навчальних занять в одному кредиті ЄКТС навчальної дисципліни для *першого* (бакалаврського) рівня вищої освіти за денною формою здобуття освіти становить **8** годин на 1 кредит ЄКТС.

Форми (методи) навчання лекції (з використанням методів візуалізації, проблемного й інтерактивного навчання, мотиваційних прийомів, інформаційно-комунікаційних технологій); лабораторні заняття (з використанням інструктування, демонстрування, натурних експериментів, комп’ютерної симуляції, наукових та інженерних розрахунків та різних форм візуалізації даних); практичні заняття (з використанням інструктування, демонстрування, розв’язування типових і прикладних задач, аналізу кейсів, ситуаційних завдань, елементів дискусії тощо); самостійна робота (опрацювання теоретичного матеріалу, підготовка до виконання практичних робіт, поточного контролю), з використанням інформаційно-комп’ютерних технологій та технологій дистанційного навчання.

Форми оцінювання результатів навчання: оцінювання лабораторних та практичних робіт; тестування.

Вид семестрового контролю: залік.

Навчальні ресурси:

1. Harris S., Harris D. Digital Design and Computer Architecture, RISC-V Edition. Morgan Kaufmann, 2021. 768 p.
2. Eschemann F. B. G. The FPGA Programming Handbook (2nd Edition). Packt Publishing, 2024. 550 p.
3. Snider R. K. Advanced Digital System Design using SoC FPGAs. Springer, 2023.
- 4 Roy S. Advanced Digital System Design: A Practical Guide to Verilog Based FPGA and ASIC Implementation. Springer, 2023.
5. Merrick R. Getting Started with FPGAs: Digital Circuit Design, Verilog, and VHDL for Beginners. No Starch Press, 2023.
6. Модульне середовище для навчання.
7. Доступ до ресурсу: <https://msn.khmnmu.edu.ua/course/view.php?id=8917>
8. Електронна бібліотека ХНУ. Доступ до ресурсу: <http://library.khmnmu.edu.ua/>

Викладач: д-р. техн. наук, проф. Валерій МАРТИНЮК